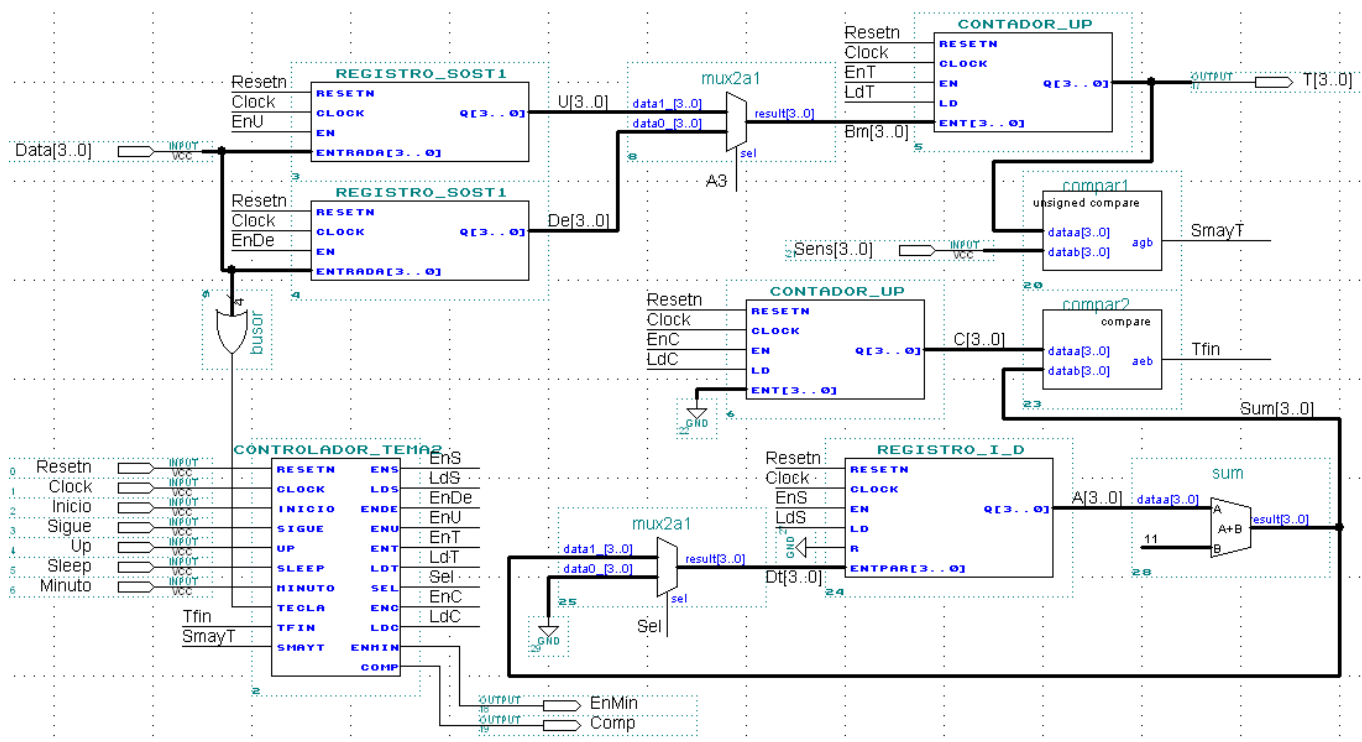


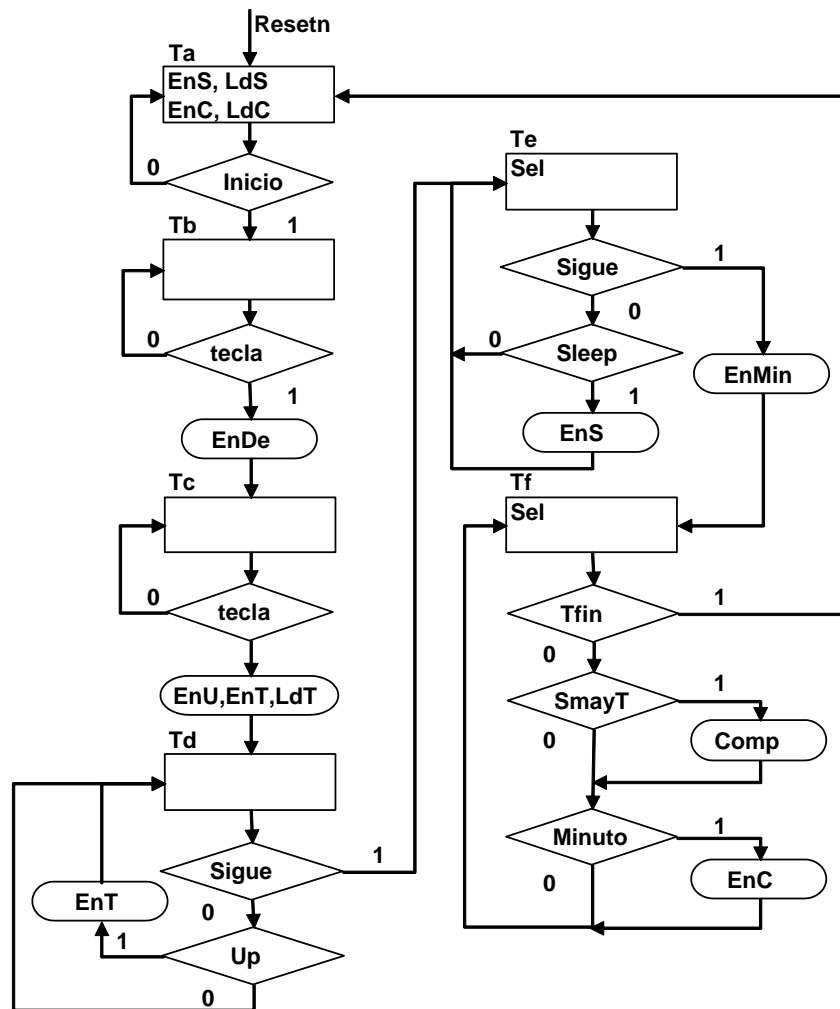
Presentar:

1. Diagrama de tiempo.
2. Descripción del Sistema en un solo programa en **VHDL** usando las declaraciones **process – case** para describir las Transiciones de Estados y las Salidas del **Controlador**, y la **descripción estructural** para el **Procesador de Datos**. Asuma que dispone de archivos **.vhd** en la misma carpeta de Trabajo para todos los sub-circuitos que forman parte del Sistema Digital **excepto para el Controlador y para las puertas lógicas**.

Así mismo suponga que el orden de las entradas en la declaración **port** de los sub-circuitos es similar (de izquierda a derecha y de arriba abajo) al del Diagrama Esquemático presentado.

Problema #2.





Presentar:

1. Diagrama de tiempo.
2. Descripción del Sistema en un solo programa en **VHDL** usando las declaraciones *process* – *case* para describir las Transiciones de Estados y las Salidas del **Controlador**, y la **descripción estructural** para el **Procesador de Datos**. Asuma que dispone de archivos **.vhd** en la misma carpeta de Trabajo para todos los sub-circuitos que forman parte del Sistema Digital **excepto para el Controlador y para las puertas lógicas**.

Así mismo suponga que el orden de las entradas en la declaración *port* de los sub-circuitos es similar (de izquierda a derecha y de arriba abajo) al del Diagrama Esquemático presentado.

